



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1424017** **A1**

(51) 4 G 06 F 7/64

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4228299/24-24

(22) 16.02.87

(46) 15.09.88. Бюл. № 34

(71) Ташкентский политехнический институт им. А. Р. Бируни и Институт проблем моделирования в энергетике АН УССР

(72) А.Ф. Верлань, Б.Б. Абдусатаров, Ш.А. Акбаров, А.Ш. Шакамалов, Д.Д. Мансуров и М.М. Каримов

(53) 681.32(088.8)

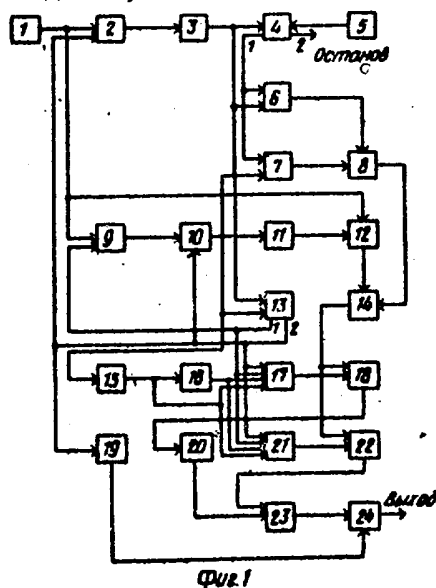
(56) Авторское свидетельство СССР № 840921, кл. G 06 F 7/64, 1980.

Авторское свидетельство СССР № 188163, кл. G 06 F 7/64, 1973.

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ НЕЛИНЕЙНЫХ ИНТЕГРАЛЬНЫХ ОПЕРАТОРОВ

(57) Изобретение относится к цифровой вычислительной технике и применяется для решения интегральных уравнений Вольтерра-Гаммерштейна в задачах,

связанных с расчетом прохождения сигналов в линиях связи, теплопереноса и т.д. Целью изобретения является повышение точности вычислений и быстродействия. Устройство содержит регистр 1 шага, первый блок элементов И 2, первый накапливающий сумматор 3, первый блок сравнения 4, регистр 5 граничного значения, второй и третий блоки элементов И 6, 7, блок 8 вычисления ядра уравнения, четвертый блок элементов И 9, второй накапливающий сумматор 10, блок 11 вычисления подынтегральной функции, первый блок умножения 12, второй блок сравнения 13, второй блок умножения 14, элемент ИЛИ 15, элемент НЕ 16, первый коммутатор 17, пятый блок элементов И 18, элемент задержки 19, блок 20 сдвига, второй коммутатор 21, шестой блок элементов И 22, блок 23 элементов ИЛИ, третий накапливающий сумматор 24, 2 ил.



(19) **SU** (11) **1424017** **A1**

Изобретение относится к цифровой вычислительной технике и может найти применение в составе специализированного вычислительного устройства для вычисления интегральных операторов Вольтерра - Гаммерштейна с ядрами об- щего вида для решения задач анализа и оптимизации нелинейных электрических цепей, измерения и контроля параметров, моделирования, управления и регулирования объектов и процессов, связанных с преобразованием и передачей энергии, например преобразование энергии в различных датчиках, прохождение сигналов в линиях связи, явления тепло- и массопереноса, химические и ядерные превращения и т.д.

Цель изобретения - повышение точности вычислений и быстродействия.

На фиг. 1 представлена структурная схема предлагаемого устройства; на фиг. 2 - временная диаграмма работы блоков устройства.

Устройство содержит регистр 1 шага, первый блок 2 элементов И, первый накапливающий сумматор 3, первый блок 4 сравнения, регистр 5 граничного значения, второй 6 и третий 7 блоки элементов И, блок 8 вычисления ядра уравнения, четвертый блок 9 элементов И, второй накапливающий сумматор 10, блок 11 вычисления подынтегральной функции, первый блок 12 умножения, второй блок 13 сравнения, второй блок 14 умножения, элемент ИЛИ 15, элемент ИЕ 16, первый коммутатор 17, пятый блок 18 элементов И, элемент 19 задержки, блок 20 сдвига, второй коммутатор 21, шестой блок 22 элементов И, блок 23 элементов ИЛИ, третий накапливающий сумматор 24.

Описание физических процессов при решении задач сводится к решению нелинейного интегрального уравнения Вольтерра-Гаммерштейна 2-го рода

$$y(t) - \int_a^t k(t,s)F[y(s)]ds = f(t), \quad (1)$$

где $y(t)$ - исследуемый сигнал,
 $k(t,s)$ - ядро интегрального уравнения, которое несет информацию об исследуемом объекте;

F - заданная нелинейная функция;

$f(t)$ - отклик объекта на исследуемый сигнал;

t - время.

Эффективность решения интегрального уравнения (1) зависит от того, насколько успешно будет реализован входящий в него интегральный оператор

$$\Psi(t) = \int_a^t k(t,s)F[\Psi(s)]ds, \quad (2)$$

От успешной реализации интегрального оператора зависит производительность и экономичность специализированных процессора и устройства, реализующих интегральный оператор и уравнение Вольтерра-Гаммерштейна.

В устройстве реализуется квадратурный метод численной реализации интегрального оператора (2) посредством расчетного выражения

$$\Psi(t_i) = \sum_{j=0}^i h A_j k(t_j, t_i) F[\Psi(t_j)], \quad (3)$$

где $A_j = \begin{cases} 0,5 & \text{при } j = 0, j = i; \\ 1 & \text{при } 0 < j < i, \end{cases}$

т.е. реализуются квадратурная формула трапеций с шагом дискретизации $h = \text{const}$.

Устройство работает следующим образом.

Перед началом работы значение шага h заносится в первый регистр 1, а значение b верхней границы интегрального оператора - в регистр 5. Все остальные операционные блоки устанавливаются в "0". После подачи управляющего сигнала "Пуск" на шину "Выдача кода" первого 3 и второго 10 накапливающих сумматоров (первый такт работы процессора) значение $t_i = t_0 = 0$ с сумматора 3 поступает на первый вход первого блока 11 сравнения, на второй вход которого с регистра 5 поступает значение b , в результате этого в первом блоке 4 сравнения выполняется сравнение t_0 с b . Одновременно значение переменной $t = t_0 = 0$ поступает на первый вход второго блока 13 сравнения, на второй вход которого с накапливающего сумматора 10 поступает значение переменной $t_j = t_0 = 0$, в результате чего на втором блоке 13 сравнения происходит сравнение переменной $t_j = t_0$ с переменной $t_i = t_0$. Кроме того, одновременно значение переменной $t_j = 0$ поступает на n -входовый элемент ИЛИ 15 (на выходе которого в результате выполнения логической операции ИЛИ вырабатывается нулевой сигнал, выполняющий

функции управления) и на вход блока 11 (в нем вычисляется значение нелинейной функции $F[\varphi(t)]$).

Во втором такте в первом умножителе 12 выполняется умножение значения шага h , поступающего с регистра 1, на значение нелинейной функции $F[\varphi(t_0)]$, поступающей с блока 11. В результате получаем значение произведения $h \cdot F[\varphi(t_0)]$, а значения переменных $t_j = 0$ и $t_i = 0$ через открытые управляющим сигналом $t_i \leq b$ с первого выхода первого блока 4 сравнения второй 6 и третий 7 блоки элементов И проходят на блок 8, в результате чего в нем вычисляется значение ядра $k(t_0, t_0)$. Одновременно управляющий сигнал $t_j = t_i$ ($j = i$) поступает на вход элемента 19 задержки, на гину сброса третьего накапливающего сумматора, на первые входы первого 17 и второго 21 коммутаторов и открывает первый блок 2 элементов И, в результате чего на первом накапливающем сумматоре 3 вычисляется $t_i = t_1 = t_0 + h = h$.

В третьем такте в первом блоке 4 сравнения выполняется сравнение $t_i = t_1$ с b , во втором блоке 13 сравнения — t_j с t_i , в блоке 11 вычисляется значение нелинейной функции $F[\varphi(t_0)]$, а на втором умножителе 14 — произведение $h \cdot k(t_0, t_0) \times F[\varphi(t_0)]$.

В четвертом такте через открытый управляющим сигналом $t_j < t_i$ с первого выхода второго блока сравнения четвертый блок 9 элементов И значение шага h поступает на второй накапливающий сумматор 10, где вычисляется значение $t_j = t_1 = t_0 + h = h$, в блоке 8 вычисляется значение ядра $k(t_1, t_0)$, в первом умножителе 12 — произведение $h \cdot F[\varphi(t_0)]$, в блоке 20 сдвига выполняется сдвиг на один разряд в сторону младших разрядов значения произведения $h \cdot k(t_0, t_0) F[\varphi(t)]$, в результате чего указанное значение произведения умножается на коэффициент $A_j = 0,5$.

В пятом такте в первом блоке 4 сравнения выполняется сравнение $t_i = t_1$ с b , во втором блоке 13 сравнения $t_j = t_1$ с $t_i = t_1$, в блоке 11 вычисляется значение $F[\varphi(t_0)]$, во втором умножителе 14 — произведение $h \cdot k(t_1, t_0) F[\varphi(t)]$, а в третьем накапливающем сумматоре 24 — значение функции $\Psi(t_0) = 0,5 h \cdot k(t_0, t_0)$.

$\cdot F\varphi(t_0)$. Через время задержки τ , достаточное для фиксации и выдачи результата, с элемента 19 задержки на шину сброса выходного накапливающего сумматора 24 поступает управляющий сигнал, который очищает и подготавливает его к вычислению следующего значения оператора $\Psi(t_1)$.

Таким образом, цикл работы устройства состоит из пяти тактов. Работа его иллюстрируется временной диаграммой (фиг. 2).

Как видно из временной диаграммы, распараллеливание вычислительного процесса позволяет вычислять один член суммы

$$\sum_{j=0}^i h A_j k(t_i, t_j) \cdot F[\varphi(t_0)]$$

за время $t_{\text{выч}} = 5 N \cdot \Delta t$, где N — номер узла дискретизации, Δt — квант времени, определяемый временем обработки информации в самом медленнодействующем операционном блоке устройства. Однако после заполнения всех операционных блоков информацией время выдачи результата вычисления одного члена суммы за счет перекрытия циклов работы будет составлять $T_{\text{выч}} = 2 \cdot N \cdot \Delta t$, т.е. установившаяся производительность устройства будет всего лишь примерно в два раза меньше производительности его самого медленнодействующего операционного блока.

Ф о р м у л а и з о б р е т е н и я

Устройство для вычисления нелинейных интегральных операторов, содержащее элемент НЕ, регистр шага, регистр граничного значения и блок вычисления подынтегральной функции, отличающееся тем, что, с целью повышения точности вычислений и быстродействия, оно содержит шесть блоков элементов И, блок вычисления ядра управления, блок элементов ИЛИ, три накапливающих сумматора, элемент задержки, два блока умножения, элемент ИЛИ, два блока сравнения, два коммутатора, блок сдвига, причем выходы регистра шага соединены с входами первого сомножителя первого блока умножения и первыми входами первого блока элементов И, выходы которого соединены с входами первого накапливающего сумматора, выходы которого соединены с входами первой группы первого и вто-

умножения, выходы которого соединены с входами второго сомножителя второго блока умножения, первый выход второго блока сравнения соединен с первыми информационными входами первого и второго коммутаторов и вторым входом четвертого блока элементов И, выход признака "Меньше" блока сравнения соединен с входом сброса второго накапливающего сумматора, вторым входом первого блока элементов И, вторыми информационными входами первого и второго коммутаторов и входом элемента НЕ, выход которого соединен с входом сброса третьего накапливающего сумматора, выходы которого подключены к информационным входам устройства, выход элемента ИЛИ соединен с первыми управляющими входами первого и второго коммутаторов и входом элемента НЕ, выход которого подключен к вторым управляющим входам первого и второго коммутаторов, выход первого коммутатора соединен с вторым входом пятого блока элементов И, выходы которого через блок сдвига соединен с входами первой группы блока элементов ИЛИ, выходы которого соединены с информационными входами третьего накапливающего сумматора, выход второго коммутатора соединен с вторым входом шестого блока элементов И.

